

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-289658

(43)Date of publication of application : 19.12.1986

(51)Int.CI. H01L 27/12
H01L 27/06

(21)Application number : 60-132518 (71)Applicant : FUJITSU LTD

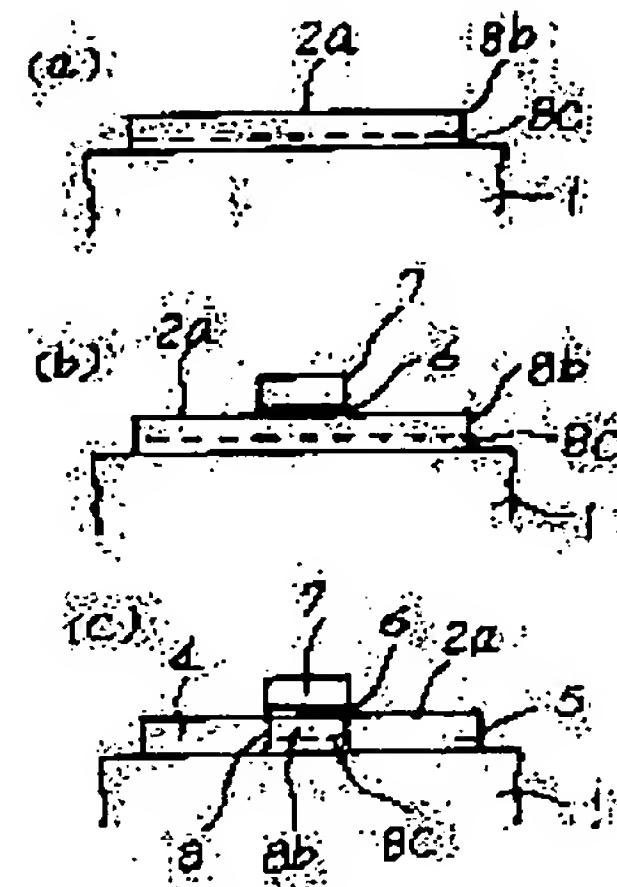
(22)Date of filing : 18.06.1985 (72)Inventor : TAKEMAE YOSHIHIRO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To enable the high-density integration and multifunctioning of a semiconductor integrated circuit, by providing two reverse-conductivity type regions junctioned in lateral juxtaposition to a one conductivity type region, an electrode disposed on the one conductivity type region with an insulating film interposed therebetween, and a lead-out connection element in the one conductivity type region.

CONSTITUTION: Two layers, a high carrier concentration layer 8c and a channel forming layer 8b, are so constructed on a substrate 1 as to form an insular region 2a. Next, an insulating film 6 and a gate electrode 7 are formed, and the gate electrode 7 is made to extend on a lead-out connection element 8a as well. Moreover, with the electrode used as a mask, impurities are introduced to make reverse the conductivity type on the opposite sides of a channel forming region 8 and thereby to form a source 4 and a drain 5, and thereafter the extension of the gate electrode 7 is removed. Afterwards, wires are led out of the source 4, the drain 5, the gate electrode 7 and the lead-out connection element 8a, and thereby the formation of a desire composite semiconductor is completed. By this constitution, the high-density integration and multifunctioning of the circuit can be promoted.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報 (A)

昭61-289658

⑤Int.Cl.

H 01 L 27/12
27/06

識別記号

厅内整理番号

7514-5F
6655-5F

④公開 昭和61年(1986)12月19日

審査請求 未請求 発明の数 1 (全4頁)

⑩発明の名称 半導体集積回路

⑪特願 昭60-132518

⑫出願 昭60(1985)6月18日

⑬発明者 竹前義博 川崎市中原区上小田中1015番地 富士通株式会社内

⑭出願人 富士通株式会社 川崎市中原区上小田中1015番地

⑮代理人 弁理士 松岡宏四郎

明細書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

1) 表面が絶縁体でなる基体(1) 上の半導体島状領域(2a)に、一導電型領域(8)と、該一導電型領域(8)に横並びして接合する二つの逆導電型領域(4、5)と、該一導電型領域(8)上に絶縁膜(6)を介して配設された電極(7)とがあって、該一導電型領域(8)に引出し接続部(8a)を設けて形成された複合半導体素子を含むことを特徴とする半導体集積回路。

2) 上記一導電型半導体領域(8)における上記基体(1)側のキャリア濃度が上記電極(7)側より高いことを特徴とする特許請求の範囲第1項記載の半導体集積回路。

3. 発明の詳細な説明

(概要)

表面が絶縁体でなる基体上の半導体島状領域に半導体素子が形成されてなるSOI構造の半導体集積回路において、

形成する半導体素子を、MIS-FETのチャネル形成領域に引出し接続部を設けた形態の複合半導体素子にすることにより、

一素子でMIS-FETとバイポーラトランジスタとの並列接続回路を形成する、或いはMIS-FETのしきい値電圧を変化させることができるようにしたものである。

(産業上の利用分野)

本発明は、半導体集積回路に係り、特に、SOI構造の半導体集積回路における半導体島状領域に形成する半導体素子の構成に関する。

SOI(Silicon On Insulator)構造は、表面が絶縁体でなる基体上に形成された半導体例えばシリコン(Si)に半導体素子が形成される構造で、例えば絶縁分離幅を狭く出来ることから高密度集積

化が容易になるなどの特徴を有するものであるが、一層の高密度集積化、多機能化が望まれている。

(従来の技術)

第4図はSOI構造をなす半導体集積回路における従来のMIS-FETとバイポーラトランジスタの要部構成を示す側断面図(a)(b)である。

第4図(a)に示すMIS-FETは、基体1の絶縁体表面に形成された半導体例えばシリコンの角型島状領域2に、一導電型例えばp型のチャネル形成領域3、その両側にチャネル形成領域3と反対導電型(この場合n型)のソース4およびドレイン5が、またチャネル形成領域3上には絶縁膜6を介してゲート電極7があって、ソース4、ドレイン5、ゲート電極7のそれぞれから配線が導出されてなっている。この場合、チャネル形成領域3からの配線導出はない。

第4図(b)に示すバイポーラトランジスタは、島状領域2に、例えばp型のベース3a、その両側にベース3aと反対導電型(この場合n型)のエミッ

タ4aおよびコレクタ5aがあって、ベース3a、エミッタ4a、コレクタ5aのそれぞれから配線が導出されてなっている。

そして、SOI構造の半導体集積回路においては、上述の如く島状領域2にMIS-FET、バイポーラトランジスタの何れもが形成出来るため、第5図図示の如く一つのチップにMIS系回路11とバイポーラ系回路12とを形成するのが容易である。

(発明が解決しようとする問題点)

上記の如くMIS系回路11とバイポーラ系回路12とが形成されてそれらがNAND回路で結合される場合、その回路は第5図に示す如くなるが、その回路に使われるMIS-FET13とバイポーラトランジスタ14とは、別の島状領域2に形成されるため、上記NAND回路を形成する際に、二つの島状領域2が必要となり、その分のチップ面積が占有される。

また上記MIS-FETは、第4図(a)で説明し

たように、チャネル形成領域3の電位の制御が出来ないため、しきい値電圧を変化させることが出来ず、集積回路における回路構成上の自由度が少ない。

(問題点を解決するための手段)

第1図は本発明による複合半導体素子実施例の要部構成を示す平面図(a)と側断面図(b)である。

上記問題点は、第1図に示される如く、表面が絶縁体でなる基体1上の半導体島状領域2aに、一導電型領域即ち第1図のチャネル形成領域8と、一導電型領域8に横並びして接合する二つの逆導電型領域即ち第1図のソース4およびドレイン5と、一導電型領域8上に絶縁膜6を介して配設された電極即ち第1図のゲート電極7とがあって、一導電型領域8に引出し接続部8aを設けて形成された複合半導体素子を含む本発明の半導体集積回路によって解決される。

(作用)

上記複合半導体素子は、基本的には、絶縁体上に形成されたMIS-FETのチャネル形成領域に引出し接続部を設けた形態のものである。

即ち、第1図における8と8aが上記チャネル形成領域とその引出し接続部である。

この構成により上記複合半導体素子は、従来のMIS-FETとして機能させると共に、チャネル形成領域8のチャネルが形成されない基体1側部分をバイポーラトランジスタのベースとして利用することにより、MIS-FETとバイポーラトランジスタとの並列回路素子となり、先に述べたNAND回路の形成を一つの島状領域2aで済ますことが出来る。

また、チャネル形成領域8に外部から電位を与えることにより当該MIS-FETのしきい値電圧を変化させることが出来るので、集積回路における回路構成上の自由度を従来より拡大することが出来る。

なお、上記並列回路素子に使用する場合、チャ

ネル形成領域8における基体1側のキャリア濃度をゲート電極7側より高くすることにより、上記ベースとする部分の確保が可能である。

かくして、S O I構造をなす半導体集積回路の高密度集積化、多機能化が可能になる。

(実施例)

以下、第1図、第1図に示す複合半導体素子の製造手順の要部を示す第2図の工程順倒断面図(a)～(c)および第3図の説明図を用い、実施例について説明する。

第1図に示す複合半導体素子は、第2図(a)に示す従来例のM I S - F E Tにおけるチャネル形成領域3を角型島状領域2から延在(延在部を引出し接続部8aとする)させて8となし、更にチャネル形成領域8におけるゲート電極7側をチャネル形成層8b、基体1側を高キャリア濃度層8cとしたものである。

従って本複合半導体素子が形成される島状領域は、従来の角型島状領域2に引出し接続部8aが付

化させることが出来る。

即ち、第3図図示の如く複数設けられた本複合半導体素子のそれぞれのチャネル形成層8bに異なった電位を与えることにより、しきい値電圧をそれぞれに異ならせ最適なものにすることが出来る。更に上記電位をクロックなどで変化させることにより、当該素子のしきい値電圧を時間により変化させることも可能である。

なおこの使い方をする場合には、必ずしも高キャリア濃度層8cを設けなくとも良い。

上記実施例の複合回路素子は、第2図図示の手順で形成することが出来る。

即ち先ず第2図(a)図示の如く、基体1上に高キャリア濃度層8cとチャネル形成層8bの二層構成をなし先に述べた形状の島状領域2aを形成する。この二層構成にするのは、島状領域2a全体のキャリア濃度をチャネル形成層8bの濃度にしておき、エネルギーを大きくしたイオン注入により高キャリア濃度層8cに集中的に不純物を導入することにより可能である。また薄膜トランジスタのように島

加された形状の2aとなっている。

また配線の導出は、ソース4、ドレイン5、ゲート電極7および引出し接続部8aのそれぞれからなされている。

ここで、チャネル形成層8bのキャリア濃度は凡そ $10^{18} \sim 10^{19} / \text{cm}^3$ 程度であり、高キャリア濃度層8cのキャリア濃度は凡そ $10^{17} / \text{cm}^3$ 程度である。またソース4およびドレイン5のキャリア濃度は凡そ $10^{19} \sim 10^{20} / \text{cm}^3$ 程度である。

かく構成された複合半導体素子は、先に述べたように、ソース4をソースとエミッタ、ドレイン5をドレインとコレクタ、ゲート電極7をゲート、引出し接続部8aに亘る高キャリア濃度層8cをベースとした、M I S - F E Tとバイポーラトランジスタとの並列回路素子になる。そしてこの並列回路素子は、そのまま先に述べたN A N D回路を形成している。

また、引出し接続部8aに与えられる電位は、チャネル形成層8bに与えられられるので、この電位の制御によりM I S - F E Tのしきい値電圧を変

化させることが出来る。

状領域を多結晶シリコンで形成する場合には、キャリア濃度の異なる多結晶シリコンの堆積を重ねることで可能である。

次いで第2図(b)図示の如く、公知の方法で絶縁膜6とゲート電極7を形成する。この際引出し接続部8a上にもゲート電極7を延在させておく。

次いでこれをマスクにした公知の方法で不純物を導入し、第2図(c)図示の如くチャネル形成領域8の両側の導電型を反転させてソース4とドレイン5を形成した後、ゲート電極7の上記延在部を除去する。

この後は、ソース4、ドレイン5、ゲート電極7および引出し接続部8aからの配線導出などを行って所望の複合半導体素子の形成を完了する。

(発明の効果)

以上説明したように、本発明の構成によれば、島状領域に半導体素子が形成されてなるS O I構造の半導体集積回路において、一素子でM I S - F E Tとバイポーラトランジスタとの並列接続回

路を形成する、或いはMIS-FETのしきい値電圧を変化させることが出来るようになると出来、一層の高密度集積化、多機能化を可能にさせる効果がある。

4. 図面の簡単な説明

第1図は本発明による複合半導体素子実施例の要部構成を示す平面図(a)と側断面図(b)、

第2図はその製造手順の要部を示す工程順側断面図(a)～(c)、

第3図はその実施例の第二の使い方の説明図、

第4図は従来のMIS-FETとバイポーラトランジスタの要部構成を示す側断面図(a)、(b)、

第5図はその使用例を示す回路図、である。

図において、

1は基体、

2は従来の島状領域、

2aは本発明になる島状領域、

3は従来のチャネル形成領域、

3aはベース、

4はソース、

4aはエミッタ、

5はドレイン、

5aはコレクタ、

6は絶縁膜、

7はゲート電極、

8は本発明になるチャネル形成領域、

8aは引出し接続部、

8bはチャネル形成層、

8cは高キャリア濃度層、

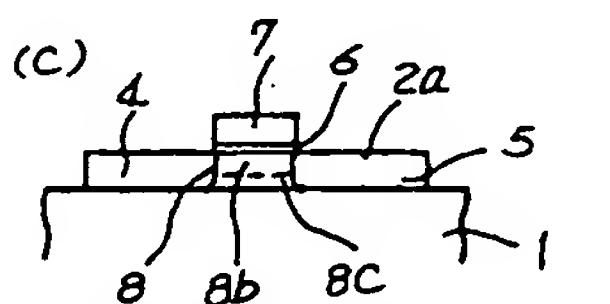
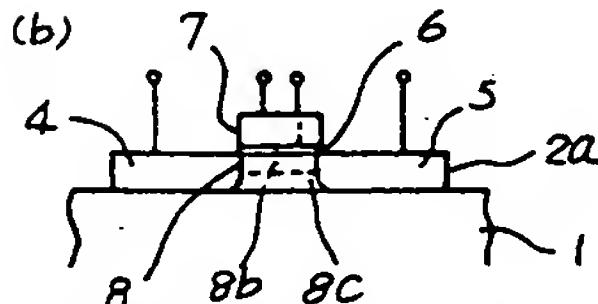
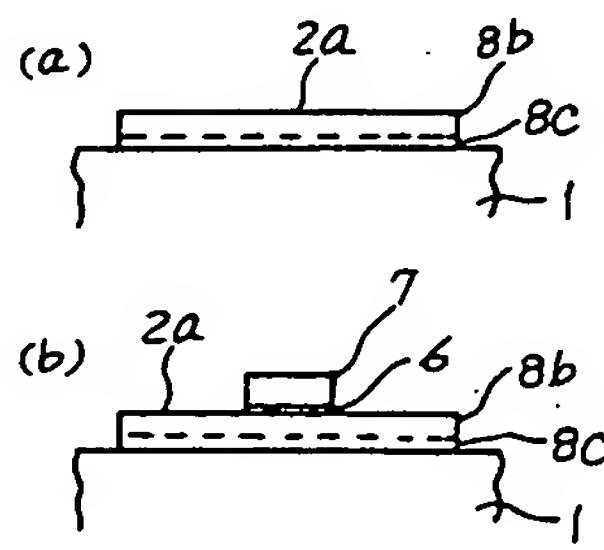
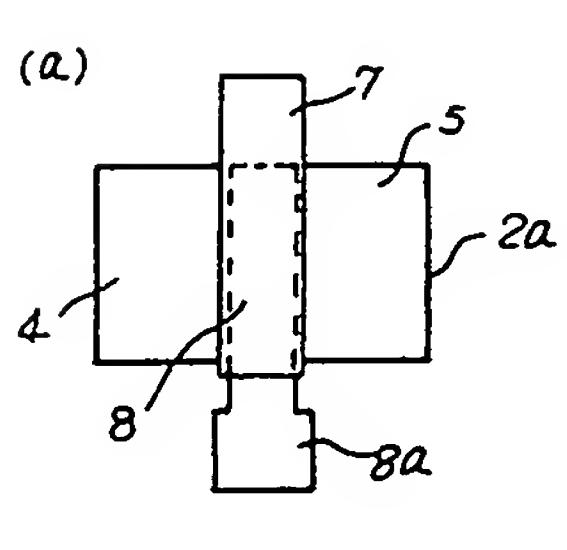
11はMIS系回路、

12はバイポーラ系回路、

13はMIS-FET、

14はバイポーラトランジスタ、である。

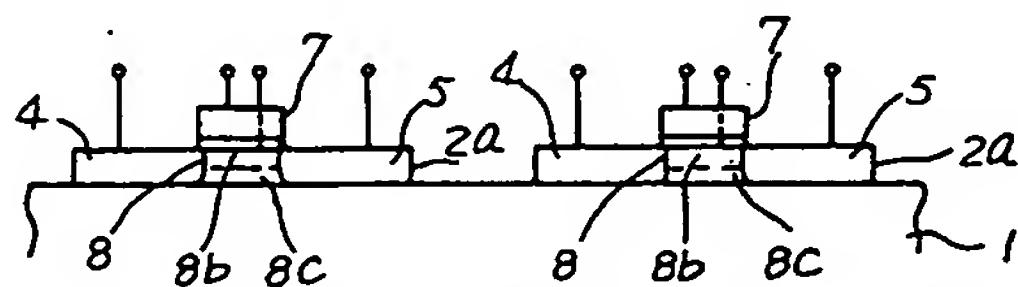
代理人 弁理士 松岡宏四郎



本発明実施例の平面図(a)
と側断面図(b)

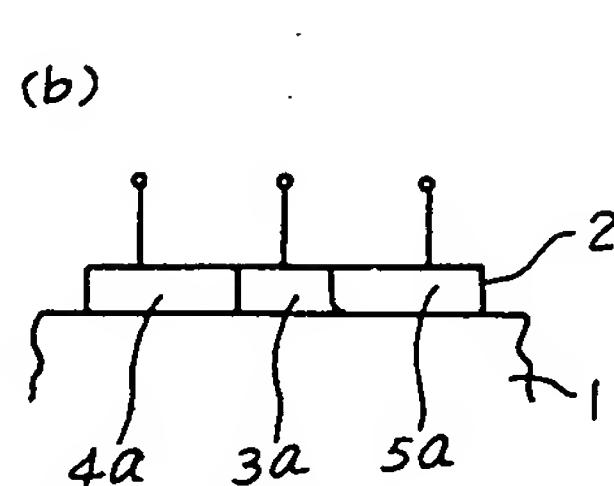
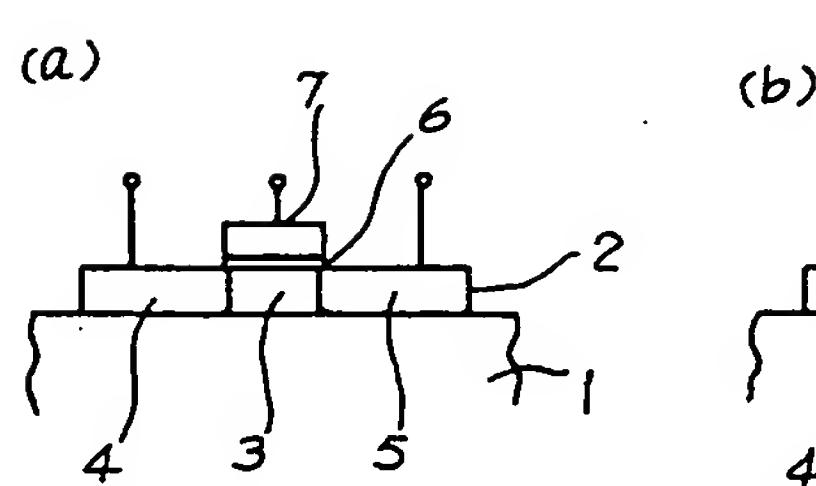
第1図

第2図



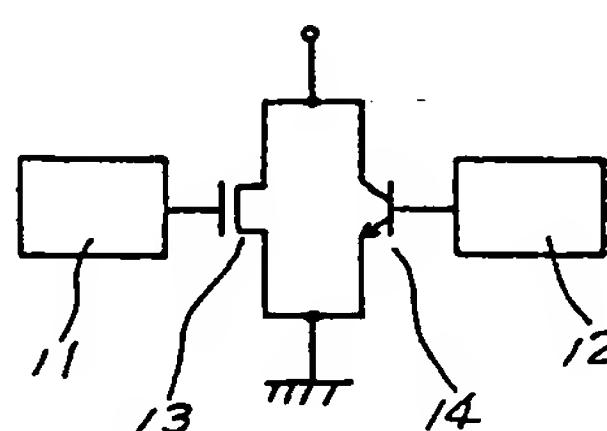
本発明実施例の第2の使い方の説明図

第3図



従来例のトランジスタを示す側断面図

第4図 (a) (b)



トランジスタの使用例を示す回路図

第5図